ГУАП

КАФЕДРА № 44

ОТЧЕТ   
ЗАЩИЩЕН С ОЦЕНКОЙ

ПРЕПОДАВАТЕЛЬ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Доц., канд. техн. наук, доц. |  |  |  | О.О. Жаринов |
| должность, уч. степень, звание |  | подпись, дата |  | инициалы, фамилия |

|  |
| --- |
| ОТЧЕТ О ЛАБОРАТОРНОЙ РАБОТЕ №4 |
| РАЗРАБОТКА ФОРМИРОВАТЕЛЯ ИМПУЛЬСНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ С ЗАДАННЫМИ СВОЙСТВАМИ, С ИСПОЛЬЗОВАНИЕМ ЯЗЫКОВ ОПИСАНИЯ АППАРАТУРЫ |
| по курсу: СХЕМОТЕХНИКА |
|  |
|  |

РАБОТУ ВЫПОЛНИЛ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| СТУДЕНТ ГР. № | 4142 |  |  |  | Г.М. Арушанян |
|  |  |  | подпись, дата |  | инициалы, фамилия |

Санкт-Петербург 2024

**Вариант 20**

1. **Цель работы.**

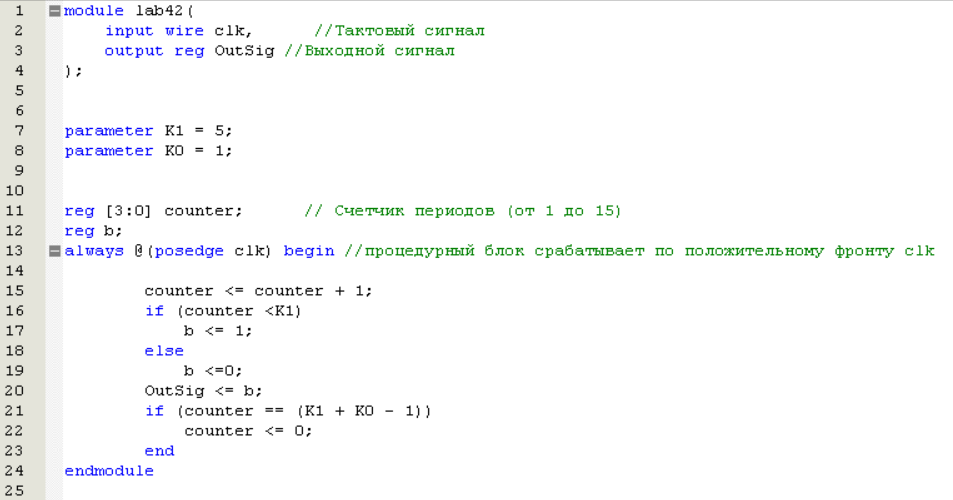
Разработать проект формирователя импульсной последовательности с заданными свойствами в среде программирования Quartus, используя языки описания аппаратуры при условии, что Kнач = 1, K1 = 5, K0 = 1.

1. **Краткое описание концепции разработки проекта на языке описания аппаратуры.**

Данный модуль в Verilog описывает работу формирователя импульсов с использованием параметров K1 и K0 для задания длины импульсов. Строка always @(posedge clk) называется списком чувствительности. Данный блок выполняется по каждому положительному фронту сигнала синхронизации clk, тогда счётчик counter увеличивается на 1. Если счётчик меньше K1, переменная b устанавливается в 1, иначе в 0. Так как размер счетчика counter [3:0], то максимальное значение будет равно 1111b (15 в десятичной). Далее значение b присваивается выходному сигналу OutSig для создания задержки в один такт. Если счетчик еще не отсчитал период (период равен K1 + K0-1), то он инкрементирует свое значение. В обратном случае счетчик сбрасывает свое значение до 0.

Таким образом, формирователь импульсов чередует выходной сигнал между 1 и 0 в зависимости от значений счётчика и параметров K1 и K0.

1. **Листинг программы.**



1. **Временная диаграмма работы схемы в среде Quartus**

На рисунках 1 и 2 представлены результаты функциональной и временной симуляции формирователя импульсов.



Рисунок 1 – Функциональная симуляция.

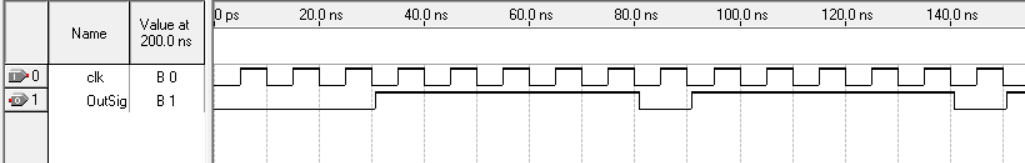


Рисунок 2 – Временная симуляция.

1. **Схема подключения ПЛИС**

На рисунках 3 и 4 представлено размещение входов и выходов логической на ПЛИС MAX II EPM240T100C3 для реализованного формирователя импульсов.

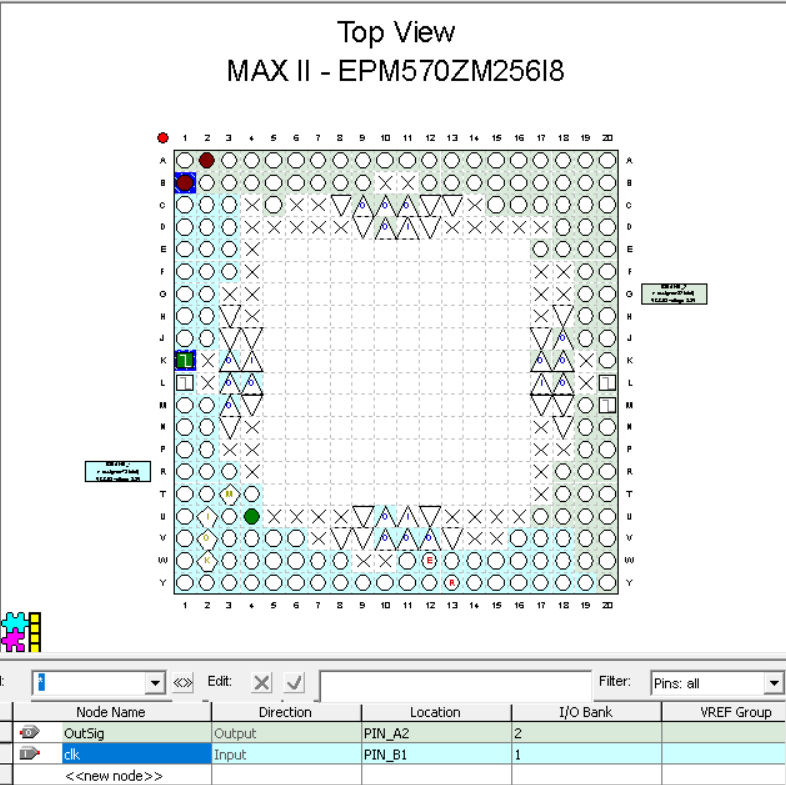


Рисунок 3 – Схема ПЛИС.

1. **Выводы.**

Был разработан проект формирователя импульсов в среде программирования Quartus с использованием языков описания аппаратуры Verilog: приобретены навыки формирования проекта формирователя импульсов с данными параметрами.

**7. Список используемых источников**

1. Проектирование цифровых устройств на ПЛИС: учеб. пособие / И.В. Ушенина. - СПб: Лань, 2022.

2. Цифровая схемотехника и архитектура компьютера / Д.М. Харрис, С.Л. Харрис, 2018

3. Учебно-методические материалы к выполнению лабораторной работы №4 по дисциплине “Схемотехника” (2-й семестр изучение дисциплины) / Жаринов О.О - ГУАП, 2024. – 2 с. / [Электронный ресурс]. <https://pro.guap.ru/inside/student/tasks/25ed2102258ad6938774e339be75ce34/download>